

Versuch EP8
Digitalelektronik
Teil 1:
Grundsaltungen und einfache Logikbausteine

I. Zielsetzung des Versuches

Die Digitaltechnik ist heute einer der bedeutendsten Zweige der Elektronik. Anfängen von einfachen Steuerungsschaltungen bis zur allgegenwärtigen Computertechnik hat die digitale Signalverarbeitung längst auch die Gebiete der Analogtechnik erobert. Analoge Meßwerte werden digitalisiert, gespeichert, und weiterverarbeitet; an die Stelle analoger Bild- und Tonträger (Magnetband, Schallplatte) sind längst digitale Medien (CD, DVD) getreten.

Aufgrund der Fülle des Stoffs wird das Thema Digitaltechnik auf drei Versuche verteilt:

Im ersten Teil (EP9) sollen Sie einfache logische Grundsaltungen und ihre Realisierung mit einfachen Logikbausteinen (Digital-ICs) kennenlernen.

In der zweiten und dritten Woche soll es dann um programmierbare Bausteine gehen. Zunächst beschäftigen wir uns im Versuch EP9 mit programmierbaren Logikschaltungen (CPLD, FPGA). Im Versuch EP10 geht es dann um Mikrocontroller, also die kleinere Version der Mikroprozessoren, die zentraler Bestandteil jedes Computers sind. Diese programmierbaren Bausteine sind heute oft sehr preisgünstig und erlauben die einfache Realisierung auch komplexer Steuerungsaufgaben, wo früher sehr viele einfache Logikbausteine verschaltet wurden.

II. Vorkenntnisse

1. allgemeine und spezielle Vorkenntnisse

Grundidee der Digitaltechnik (binäre Zustände 0 und 1), logische Grundverknüpfungen (UND, ODER, NICHT)

Zahlensysteme (Binär-, Dezimal-, Hexadezimalsystem)

Dynamische Logikbausteine (Zählflipflop, T-Flipflop)

III. Theorie zum Versuch

1. Elementare Logikverknüpfungen

Die Digitaltechnik kennt nur zwei Zustände:

Bezeichnung:	wahr	falsch
Kurzform:	1	0
Realisierung:	Spannung hoch oder Strom fließt	Spannung niedrig oder kein Strom

Die angegebene Realisierung entspricht der *positiven Logik*, die wie ab jetzt immer verwenden. (Es gibt auch eine negative Logik, bei ihr bedeutet 1 dann *keine* Spannung oder Strom.)

Die beiden Zustände 0 und 1 können auf verschiedene Weise miteinander verknüpft werden, d.h. aus ein oder mehreren Eingangssignalen E_1, E_2, \dots wird ein Ausgangssignal A gebildet. Man unterscheidet die drei Grundtypen UND, ODER und NICHT (engl. AND, OR, NOT):

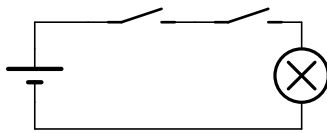
1.1. UND-Verknüpfung (AND):

Nur wenn ausnahmslos alle Eingänge 1 sind, ist der Ausgang 1.

Nur wenn E_1 UND E_2 UND $E_3 \dots$ allesamt auf 1 sind, ist der Ausgang 1.

Technisches Beispiel: Mehrere Schalter in Serie in einem Stromkreis:

Nur wenn Schalter 1 UND Schalter 2 geschlossen ist, leuchtet die Lampe.



Schaltungsbeispiel



Europäisches, amerikanisches und DIN-Schaltsymbol

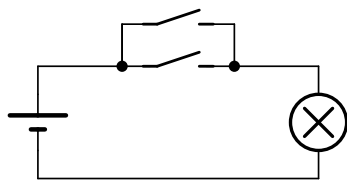
1.2. ODER-Verknüpfung (OR):

Wenn mindestens ein Eingang 1 ist, ist der Ausgang 1.

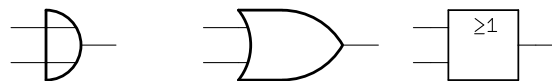
Wenn E_1 ODER E_2 ODER $E_3 \dots$ (oder mehrere gleichzeitig) auf 1 ist/sind, ist der Ausgang 1.

Technisches Beispiel: Mehrere Schalter parallel in einem Stromkreis:

Wenn Schalter 1 ODER Schalter 2 geschlossen ist (oder beide geschlossen sind), leuchtet die Lampe.



Schaltungsbeispiel



Europäisches, amerikanisches und DIN-Schaltsymbol

1.3. NICHT-Verknüpfung (Inverter, NOT):

Wenn der Eingang 1 ist, ist der Ausgang 0, also *NICHT* 1;

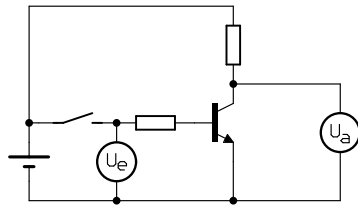
wenn der Eingang 0 ist, ist der Ausgang 1, also *NICHT* 0.

Technisches Beispiel: Ein NPN-Transistor in Emitterschaltung:

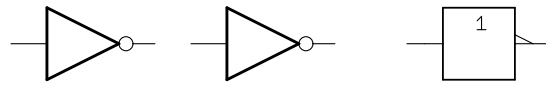
Wenn an der Basis Spannung liegt (also eine 1), leitet der Transistor, die Spannung zwischen Kollektor und Emittter ist 0.

Wenn an der Basis *keine* Spannung liegt (also eine 0), leitet der Transistor nicht, die Spannung zwischen Kollektor und Emittter ist hoch (also eine 1).

Beachten Sie: Im Schaltsymbol weist ein Punkt oder Kringel auf die Invertierung hin.



Schaltungsbeispiel Inverter



Europäisches, amerikanisches und DIN-Schaltsymbol

Es gibt noch einige weitere Verknüpfungen, die aus einer Kombination aus UND, ODER und NICHT resultieren.

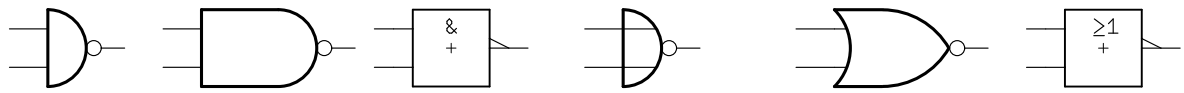
1.4. NICHT-UND-Verknüpfung (NOT-AND = NAND) und NICHT-ODER-Verknüpfung (NOT-OR = NOR)

Eine NAND-Verknüpfung (man verwendet den einfacheren englischen Namen) entsteht, wenn hinter das AND-Gatter ein Inverter geschaltet wird.

Eine NOR-Verknüpfung entsteht, wenn hinter das OR-Gatter ein Inverter geschaltet wird.

Diese invertierte Logikfunktionen sind aus zwei Gründen von großer Bedeutung:

- Erstens lassen sich durch Kombination mehrerer NAND- oder NOR-Verknüpfungen die obengenannten AND, OR, NOT erzeugen. NAND- und NOR-Elemente sind also die vielseitigeren Bausteine.
- Technisch werden die Logikverknüpfungen meist mit Transistoren realisiert, wobei jeder Transistor gleichzeitig eine Inverterfunktion mitbringt (siehe obenstehendes Schaltungsbeispiel des Inverters). Daher ist die NAND- oder NOR-Verknüpfung technisch einfacher zu realisieren und die Funktionen AND und OR sind tatsächlich oft invertierte NAND oder NOR.



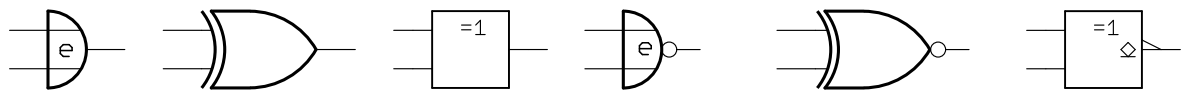
NAND

NOR

1.5. Exklusiv-ODER (EXOR) und Exklusiv-NOR (EXNOR)

Die gewöhnliche ODER-Verknüpfung ist eine nichtausschließende ODER-Verknüpfung: Es kann der eine ODER der andere Eingang 1 sein, es können aber auch *beide* Eingänge 1 sein, damit der Ausgang 1 ist.

Manchmal ist aber die ausschließende ODER-Verknüpfung gewünscht, bei der entweder der eine ODER nur der andere Eingang 1 ist. Es muß also genau einer der beiden Eingänge 1 sein, aber nicht beide. Ein solches Element wird EX-OR genannt, seine Invertierung ist das EX-NOR.



EXOR

EXNOR

1.6. Zusammenfassung der Logikverknüpfungen

Die folgende sogenannte Wahrheitstabelle zeigt die verschiedenen Ausgangssignale für zwei Eingangssignale A und B.

A	B	AND	OR	NAND	NOR	EXOR	EXNOR
0	0	0	0	1	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	1	0	0	0	1

2. Speicher- und Zählelemente (Flipflops)

Von den verschiedenen Varianten der Flipflops wollen wir nur drei betrachten: das RS-Flipflop, das Zählflipflop und das D-Flipflop.

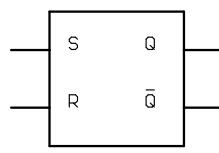
2.1. Das RS-Flipflop

Das **RS-Flipflop** dient zum Speichern eines Zustandes, z.B. einer 1: Eine 1 am Eingang S (set) führt zu einer 1 am Ausgang (Q). Der Ausgang bleibt auf 1, auch wenn S wieder auf 0 ist. Erst wenn am R-Eingang (reset) eine 1 angelegt wird, wird Q zurückgesetzt, d.h. wieder 0. Neben dem Ausgang Q wird manchmal auch dessen Invertierung \bar{Q} zur Verfügung gestellt.

Die folgende Tabelle veranschaulicht das Verhalten des RS-Flipflops.

Das Verhalten für $R = S = 1$ ist bauartabhängig (in der Tabelle mit * markiert), z.B. können Q und \bar{Q} beide 0 oder beide 1 sein oder aber z.B. R dominiert über S, d.h. $Q = 0$ und $\bar{Q} = 1$.

In der Versuchsdurchführung erfahren Sie, wie man ein RS-Flipflop aus zwei NAND-Gattern bauen kann.



Symbol

R	S	Q	\bar{Q}
0	0	keine Änderung	keine Änderung
0	1	1	0
1	0	0	1
1	1	* 0	*

Wahrheitstabelle

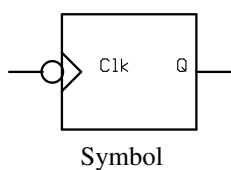
2.2. Das Zähl-Flipflop (T-Flipflop)

Beim **Zähl-Flipflop** (auch Toggle-Flipflop oder T-Flipflop, engl. toggle = hin und her wechseln) sind nicht so sehr die (statischen) Logikpegel an den Eingängen von Bedeutung sondern die *Änderungen* der Pegel. Man spricht auch von *Flanken*. Ändert sich der Pegel von 0 auf 1, wird dies *positive oder ansteigende Flanke* genannt. Ändert sich der Pegel dagegen von 1 auf 0, wird dies *negative oder abfallende Flanke* genannt.

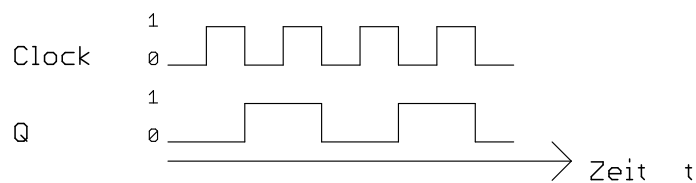
Die Regel für das Zähl-Flipflop lautet nun: *Der Ausgang ändert seinen Zustand, wenn am Eingang eine negative Flanke ist.*

Das folgende Diagramm veranschaulicht das Verhalten des T-Flipflops.

Der Zähl- oder T-Eingang wird im Symbol oft mit CLK (engl. clock = Zähltakt) beschriftet. Der offene Pfeil bedeutet, daß der Eingang auf ansteigende Flanken reagiert. Durch den vorgeschalteten Inverter (Kringel vor dem Pfeil!) schaltet er aber bei abfallenden Flanken.



Symbol



2.3. Das Daten-Flipflop (D-Flipflop)

Eine allgemeinere Form des Zähl-Flipflops ist das **Daten-Flipflop oder D-Flipflop**. Auch dieses Flipflop hat einen Takteingang (Clk), aber zusätzlich einen D-Eingang (Data). Der Clk-Eingang reagiert wie beim T-Flipflop auf ansteigende Flanken (oder abfallende Flanken, falls invertiert). Für den Ausgang Q gilt aber folgende Regel:

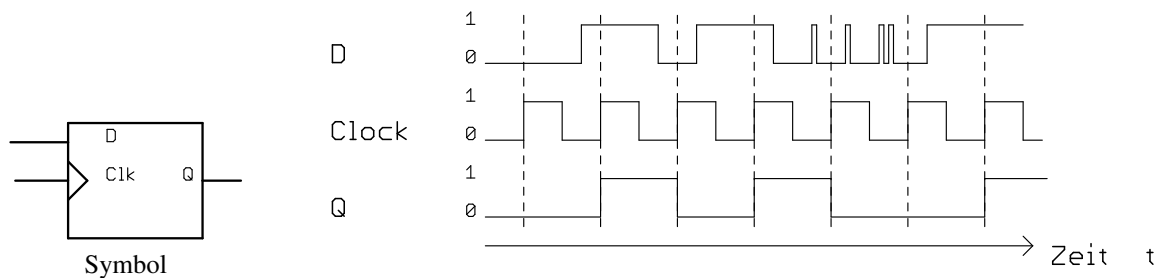
Der Ausgang geht auf den Zustand, den der D-Eingang während der ansteigenden Flanke des Clk-Eingangs hat.

Ist D auf 1, so geht Q während der Clk-Flanke auf 1. Daran ändern auch weitere Clk-Flanken nichts, solange D während dieser Flanken auf 1 ist.

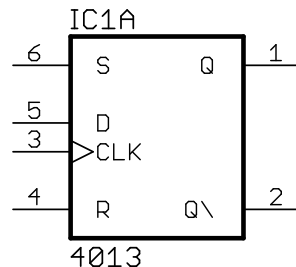
Ist D auf 0, so geht Q während der Clk-Flanke auf 0. Daran ändern auch weitere Clk-Flanken nichts, solange D während dieser Flanken auf 0 ist.

Solange Clk sich nicht ändert und nicht die wichtige ansteigende Flanke kommt, kann sich D beliebig ändern, ohne Auswirkungen auf Q zu haben. Entscheidend ist allein der D-Zustand während der ansteigenden Clk-Flanke.

Das folgende Diagramm veranschaulicht das Verhalten des D-Flipflops.



In den Logikbausteinen befinden sich meist Kombinationen dieser Flipflops. Im Baustein 4013 befinden sich 2 D-Flipflops, die zusätzlich einen R- und S-Eingang haben. Außerdem ist neben Q auch der invertierte Ausgang (im Schaltsymbol $Q\bar{}$) vorhanden.

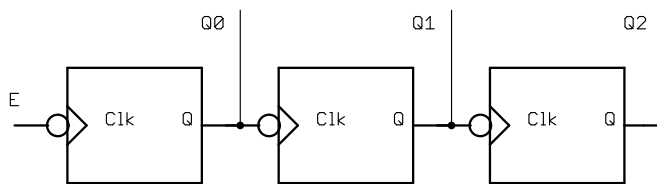


Als Baustein findet man T-Flipflops nur in Gruppen (als Zählerkette, siehe folgendes Kapitel), aber nicht einzeln. Ein einzelnes T-Flipflop kann man sich aber leicht aus dem oben gezeigten D-Flipflop bauen, indem man dessen $Q\bar{}$ -Ausgang auf den D-Eingang zurückführt. (Wieso? Machen Sie sich klar, was bei einer — hier positiven¹ — Flanke passiert, also wenn der Datenwert gespeichert wird. Beachten Sie, daß es eine kleine Zeit (Nanosekunden) dauert, bis die neue Speicherung an den Q- und $Q\bar{}$ -Ausgängen erscheint; dann ist die Flanke am Clock-Eingang schon vorbei.)

¹Will man auf negative Flanken speichern, setzt man noch einen Inverter vor den Clock-Eingang.

2.4. Verkettung von T-Flipflops (Binärzähler)

Wieso das T-Flipflop auch Zähl-Flipflop genannt wird, wird deutlich, wenn wir die folgende **Verkettung von T-Flipflops** betrachten. Dabei ist der Q-Ausgang jedes Flipflops mit dem Clk-Eingang seines Nachfolgers verbunden².



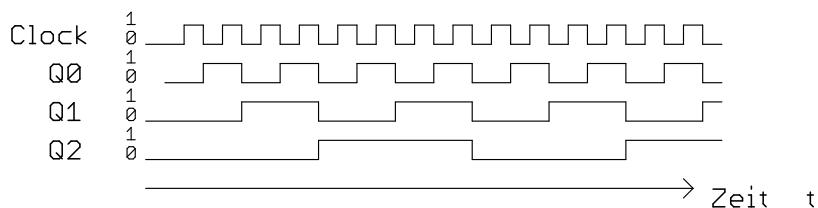
Wie verhält sich eine solche Kette, wenn der Eingang E fortlaufend Impulse bekommt, also zwischen 0 und 1 wechselt? Jedes Flipflop wird mit seinem Ausgang $Q(n)$ seinen Nachbarn genau dann zum Toggeln bringen (d.h. dessen Ausgang $Q(n+1)$ wechseln), wenn $Q(n)$ einen Wechsel von 1 nach 0 (eine abfallende Flanke) macht. Das führt zu der Tabelle unten, in der aus Platzgründen die Flanken selbst nicht mehr explizit dargestellt sind.

Das folgende Diagramm veranschaulicht das Verhalten der Zählerkette.

Warum dieses System eine Zählerkette ist, wird aus der Tabelle unten deutlich, wenn man die rechte Spalte betrachtet. Offenbar nehmen die Q-Ausgänge nacheinander die Zustände des binären Zahlensystems an. Weist man den Q-Ausgängen die entsprechenden Wertigkeiten zu, also

$$Q_0 = 2^0 = 1, Q_1 = 2^1 = 2, Q_2 = 2^2 = 4, Q_3 = 2^3 = 8,$$

so ergeben sich die Zahlenwerte 0 bis 15.



Verhalten der Zählerkette

Q0 (Wert 1)	Q1 (Wert 2)	Q2 (Wert 4)	Q3 (Wert 8)	Dezimalwert
0	0	0	0	0
1	0	0	0	1
0	1	0	0	2
1	1	0	0	3
0	0	1	0	4
1	0	1	0	5
0	1	1	0	6
1	1	1	0	7
0	0	0	1	8
1	0	0	1	9
0	1	0	1	10
1	1	0	1	11
0	0	1	1	12
1	0	1	1	13
0	1	1	1	14
1	1	1	1	15
0	0	0	0	0
1	0	0	0	1

Zustände der Zählerkette = fortlaufende Zahlenwerte

²Anstelle des Inverters vor dem Clk-Eingang kann man auch einen Inverter hinter den Q-Ausgang des Vorgängers setzen oder — falls vorhanden — gleich dessen $Q\bar$ -Ausgang benutzen.

In einem BCD-Zähler³ wird dafür gesorgt, daß er nach dem Zustand 9 (binär: 1001) wieder auf 0 zurückspringt, sein Q3-Ausgang macht dann eine negative Flanke und kann einen nachgeschalteten Zähler (für die Zustände 10 bis 90) weiterschalten. Die vier Ausgänge des Zählerblocks lassen sich noch umcodieren, so daß mit sieben Leitungen eine Siebensegmentanzeige angesteuert werden kann (Details siehe Versuchsdurchführung).

Der hier gezeigte Zähler ist ein sogenannter **Asynchronzähler**, denn die Zustände der einzelnen Flipflops ändern sich nicht gleichzeitig aufgrund der Verzögerung vom D-Eingang zum Q-Ausgang in jedem Flipflop. Stellen Sie sich dazu z.B. beim Übergang vom Zustand 15 (1111) nach 0 (0000) vor, wie die Flipflops *nacheinander* von 1 auf 0 gehen.

Für manche Anwendungen (z.B. Adressdecoder) ist das nicht akzeptabel. Es gibt daher auch die **Synchronzähler**. Hier bekommen mehrere D-Flipflops *dasselbe* Taktsignal (Clk). Ihre Q-Ausgänge stellen insgesamt einen Zählerstand n dar; dieses Bitmuster wird über eine Addierlogik in das Bitmuster $n+1$ umgewandelt, welches an die D-Eingänge der Flipflops gelegt wird. Mit jedem Takt wird also der Zustand $n+1$ in die Flipflops geschrieben, und zwar gleichzeitig für jedes einzelne Bit. Liegt dann nach kurzer Zeit dieses $n+1$ an den Ausgängen, sehen die Eingänge $n+2$ und so zählt das System aufwärts.

³BCD = Binary Coded Decimal = binär codierter Dezimalzähler

3. Stromaufnahme von CMOS-Digital-ICs

3.1. Allgemeines zum MOS-Transistoren

In unserem Versuch verwenden wir integrierte Schaltkreise, die in CMOS-Technik hergestellt wurden. CMOS steht für *Complementary metal-oxide-semiconductor*, d.h. es werden MOS-Transistoren verwendet (siehe Versuch EP3, Transistor), uns zwar sowohl P-MOS also auch N-MOS-Typen (daher komplementär).

Die Funktionsweise eines MOS-Transistors ist mit der eines normalen (bipolaren) Transistors vergleichbar:

Wird beim bipolaren Transistor (z.B. einem NPN) zwischen Basis und Emmitter eine ausreichende Spannung (0,6 V) angelegt (wodurch ein Basistrom fließt), so kann ein Strom zwischen Emmitter und Kollektor fließen.

Wird beim MOS-Transistor (z.B. einem NMOS) zwischen Gate (G) und Source (S) eine *ausreichende* Spannung (typ. einige Volt) angelegt (wodurch sich im Transistor ein bestimmtes elektrisches Feld aufbaut), so kann ein Strom zwischen Source und Drain (D) fließen. Der Gate-Eingang wirkt wie ein Kondensator und benötigt daher zur Ansteuerung *keinen Strom*, außer einem winzigen Auf-/Entladestrom, wenn sich die Spannung ändert.

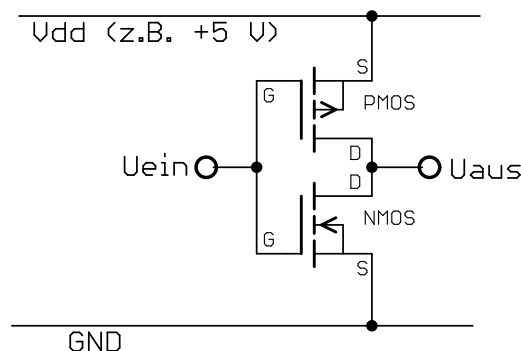
Beim NMOS-Transistor muß die Spannung U_{GS} positiv sein, beim PMOS-Transistor muß die Spannung U_{GS} negativ sein.

Ist die Spannung U_{GS} 0 V, so leitet der MOS-Transistor nicht, d.h. der Transistor sperrt.

Ist die Spannung U_{GS} (betragslich) größer als 0 V, aber *noch nicht ausreichend* groß, so leitet der Transistor „nicht vollständig“, d.h. er leitet zwar, aber mit deutlichem Widerstand.

3.2. Einfachstes Beispiel: CMOS-Inverter

Betrachten wir die einfachste CMOS-Schaltung: einen Inverter, der aus einem NMOS- und einem PMOS-Transistor aufgebaut ist:



Die Eingangsspannung U_{ein} geht an beide Gates (G). Der Ausgang U_{aus} ist über einen NMOS-Transistor mit GND verbunden und über einen PMOS-Transistor mit der Versorgungsspannung (Vdd, z.B. 5 V).

Wenn U_{ein} auf 0 V liegt (logisch 0), so sperrt der NMOS- und leitet der PMOS-Transistor. Der Ausgang liegt offenbar auf +5 V (logisch 1). Es fließt aber *kein* Strom von Vdd nach GND.

Wenn U_{ein} auf +5 V (logisch 1) liegt, so leitet der NMOS- und sperrt der PMOS-Transistor. Der Ausgang liegt offenbar auf 0 V (logisch 0). Es fließt aber *kein* Strom von Vdd nach GND.

Offensichtlich arbeitet die Schaltung als Inverter.

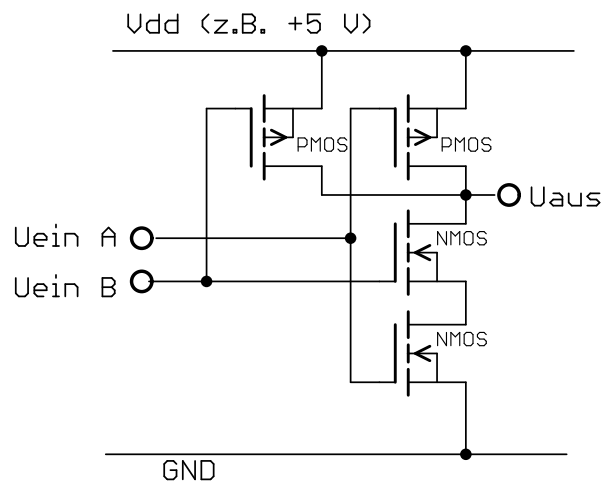
Wenn aber U_{ein} auf rund 2 bis 3 V liegt (für CMOS unerlaubter Logikpegel!), so leiten der NMOS- und der PMOS-Transistor teilweise. Der Ausgang wird eine Spannung „irgendwie zwischen 0 und 5 V“ annehmen (undefinierter Logikpegel) und es wird Strom von Vdd nach GND fließen.

Fazit:

- Bei unzulässigen Werten der Eingangsspannung steigt die Stromaufnahme einer CMOS-Logikschaltung erheblich an.
- Bei jedem Umschaltvorgang (U_{ein} wechselt von 0 V nach 5 V oder zurück) wird für einen kurzen Moment dieser Zwischenzustand durchlaufen und es kommt für einen sehr kurzen Moment zu einem Strom von Vdd nach GND.
- Ist das Eingangssignal ein Rechtecksignal, so werden mit zunehmender Frequenz diese Zwischenzustände häufiger und somit wird die Stromaufnahme (Strom von Vdd nach GND) höher.
- Außerdem ist jede Gate-Source-Strecke ein winziger Kondensator. Je höher die Frequenz des Eingangssignals, desto öfter wird dieser umgeladen und der Stromfluß in den oder aus dem Gate-Anschluß nimmt zu.

3.3. Aufbau eines CMOS-NAND-Gatters

Den grundsätzlichen Aufbau von CMOS-Gattern sehen wir am Beispiel des NAND-Gatters:



Beim NAND-Gatter mit zwei Eingängen sind zwei PMOS-Transistoren parallel und zwei NMOS-Transistoren in Reihe geschaltet. Die Gates je eines NMOS und PMOS-Transistors sind paarweise zusammengeschaltet und bilden so zwei Eingänge A und B.

Nur wenn *beide* Eingänge logisch 1 sind:

- leiten beide NMOS-Transistoren und
- sperren beide PMOS-Transistoren.

Nur dann ist der Ausgang auf logisch 0.

Ist einer oder Eingänge auf logisch 0, dann:

- sperrt einer der NMOS-Transistoren. Der Ausgang kann also *nicht* mit GND verbunden sein,
- leitet einer der PMOS-Transistoren. Der Ausgang *muß* also mit Vdd (5 V) verbunden sein, Folglich ist der Ausgang auf logisch 1. Das gilt auch, wenn beide Eingänge auf logisch 0 sind.

Das Verhalten ist also das eines NAND-Gatters.

In der Praxis schaltet man hinter die dargestellte NAND-Stufe noch *zwei* Inverterstufen, um das Ausgangssignal bei den Umschaltvorgängen zu verbessern.

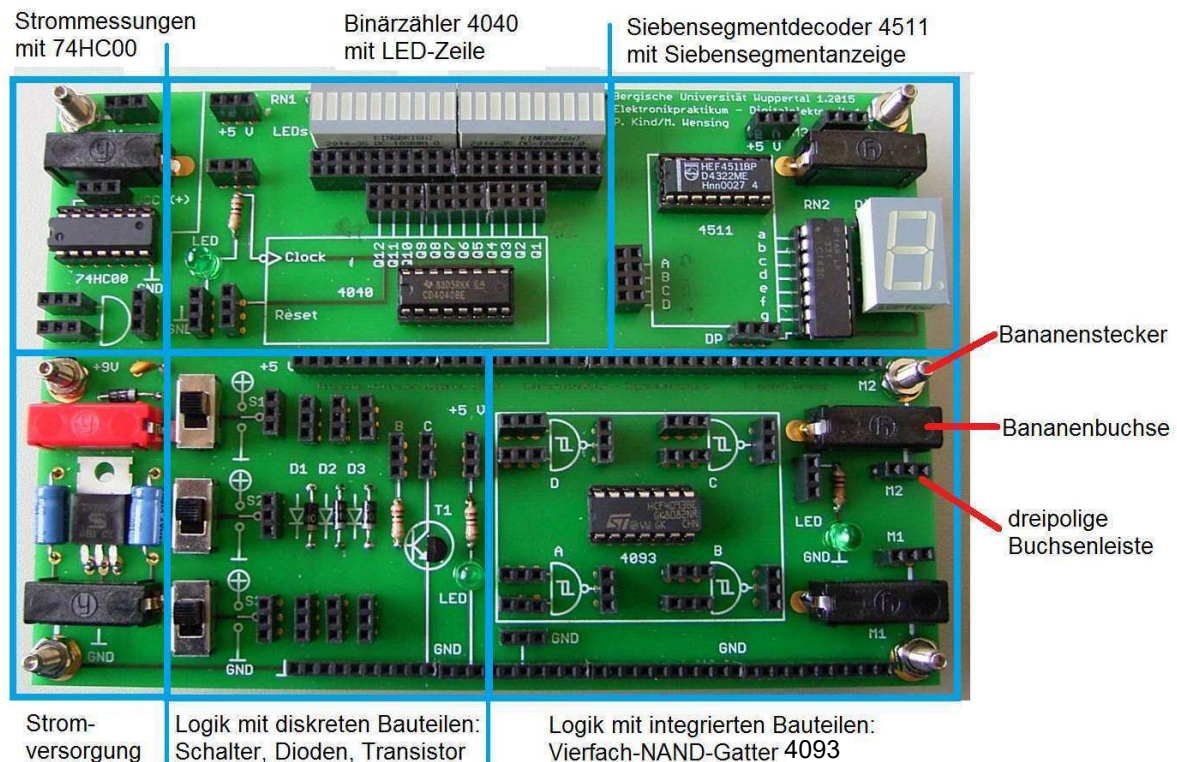
Wie würden Sie ein CMOS-NOR-Gatter bauen?

Wie können Sie aus dem NAND bzw. NOR ein AND bzw. OR machen?

IV. Versuchsprogramm

1. Versuchsaufbau

Die verschiedenen Logikschaltungen werden alle auf einer Experimentierplatine realisiert. Sie besteht aus mehreren Bereichen für die verschiedenen Versuchsteile. Für die Verbindungen zwischen den Bauelementen gibt es zahlreiche Buchsenleisten, in die kurze Kabel mit Kontaktstiften gesteckt werden können. Bei den dreipoligen Buchsenleisten sind alle drei Kontaktbuchsen schon miteinander verbunden.



Das Board besitzt an der linken und rechten Kante insgesamt 6 Bananenbuchsen. Die Buchsen sind liegend, d.h. der Kabelanschluß erfolgt waagrecht von der Seite.

Jede Bananenbuchse ist mit einer Schraube (optional ist dort ein Bananenstecker⁴) verbunden, die/der unmittelbar daneben sitzt.

Die Buchsen/Stecker mit der Bezeichnung M1, M2, M3, M4 (M für Meßpunkt) sind jeweils zusätzlich noch mit einer dreipoligen Buchsenleiste verbunden, von der aus Sie dann über die Kontaktstiftkabel verschiedene Punkte der Schaltung kontaktieren können.

Links unten wird eine Spannungsquelle mit etwa 9 Volt angeschlossen. Der Pluspol kommt an die rote Buchse (+9V), der Minuspol an die schwarze Buchse (GND) in der linken unteren Ecke. Ein Spannungsregler regelt die Versorgungsspannung auf genau 5 Volt herunter, die auch Betriebsspannung für die ICs ist. **Die ICs 4093, 4040 und 4511 (aber nicht der 74HC00 links oben) werden automatisch mit diesen 5 Volt versorgt, sobald Sie an die rote und schwarze Buchse (links unten auf dem Board) ein Netzteil mit 9 Volt anschließen.**

Die übrigen Bereiche der Platine werden im Verlauf der verschiedenen Versuchsteile genauer erklärt⁵.

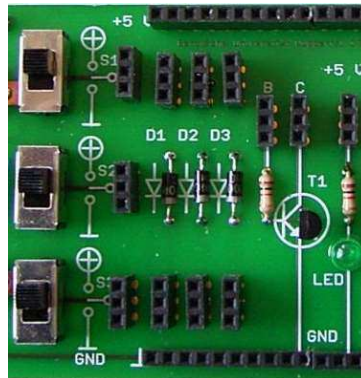
Hinweis: Sie werden verschiedene Widerstände verwenden müssen, und zwar als einzelne Bauelemente. Widerstände werden in der Regel mit farbigen Ringen gekennzeichnet. Die Bedeutung der Farben ist auf Seite 13 erklärt. Im Zweifelsfall messen Sie die Widerstände mit einem Digitalmultimeter nach!

⁴Die optionalen Bananenstecker gehen nach unten und sind vorgesehen, um das Board in das Leybold-Steckbrett zu setzen, das Sie aus den bisherigen Versuchen kennen. Dann können Sie über dessen zahlreiche Buchsenfelder Kabel anschließen.

⁵Binärzähler und deren Funktion lernen Sie jetzt im nächsten Versuch EP9 kennen.

2. Elementare Logikverknüpfungen mit einzelnen (diskreten) Bauteilen

Die elementarsten Logikverknüpfungen können mit einigen wenigen Dioden, Widerständen und einem Transistor aufgebaut werden. Wir verwenden dazu den Bereich unten in der Mitte.



2.1. UND-Verknüpfung

Bauen Sie die unten abgebildete Schaltung auf. Das Bild neben dem Schaltplan zeigt Ihnen, wie Sie diesen mit den Kontaktstiftkabeln (die gelben Linien) und einem Widerstand realisieren können. Für den Widerstand (zwischen +5 V und den Anoden) nehmen Sie 100 Ω . Die obere lange Buchsenreihe hat alle Kontakte auf +5 V.

Die gelbe Linie „zu M“ führt zu einem der Meßpunkte M1 bis M4 (für Digitalvoltmeter, siehe unten).

Die Schalter funktionieren so wie das daneben gedruckte Symbol:

Ist der Hebel nach oben geschoben, liegt der Schaltkontakt an Plus (5 Volt), das entspricht einer logischen 1.

Ist der Hebel nach unten geschoben, liegt der Schaltkontakt an GND (0 Volt), das entspricht einer logischen 0.

Das Ausgangssignal betrachten wir mit einer Leuchtdiode (grüne LED), die Kathode ist bereits mit GND verbunden, die Anode ist über einen Widerstand (1 k Ω) mit der Buchsenleiste darüber verbunden.

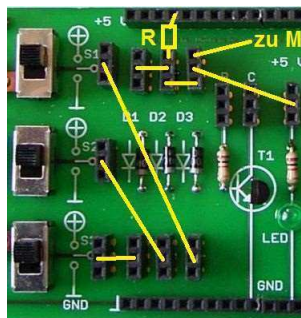
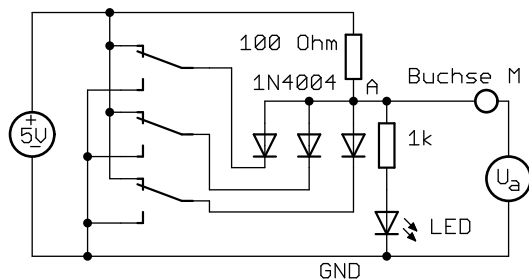
Bei den drei Dioden (1N4004) ist die jeweils darüberliegende Buchsenleiste mit der Anode verbunden, die jeweils darunterliegende Buchsenleiste ist mit der Kathode verbunden.

Außerdem messen wir die Ausgangsspannung U_a mit einem Digitalvoltmeter. Das Voltmeter verbinden Sie über Bananenkabel mit einem der Meßpunkte M1 bis M4 (und selbstverständlich mit GND).

Messen Sie für alle Schalterkombinationen die Ausgangsspannung A (also U_a bzgl. Masse GND). Die Ausgangsspannungen sind nicht genau 0 V oder 5 V (warum?). Darum ordnet man in der Digitaltechnik den Logikzuständen bestimmte *Spannungsbereiche* zu: Man definiert z.B. für die sogenannte TTL-Logik:

Spannungsbereich	Logikzustand
2,0 V bis 5,0 V	1
0,0 V bis 0,8 V	0
0,8 V bis 2,0 V	undefiniert

Füllen Sie unter Beachtung dieser Spannungsbereiche die Spalte A der folgenden Wahrheitstabelle aus.



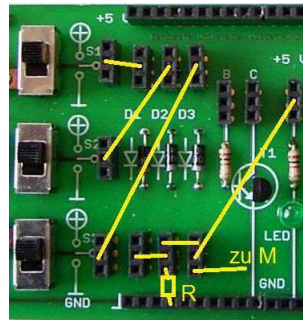
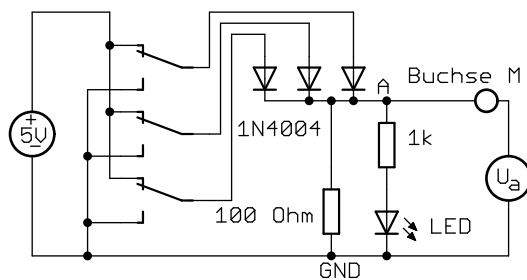
E1	E2	E3	A
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

2.2. ODER-Verknüpfung

Bauen Sie die unten abgebildete Schaltung auf. Das Bild neben dem Schaltplan zeigt Ihnen, wie Sie diesen mit den Kontaktstiftkabeln (die gelben Linien) und einem Widerstand realisieren können. Für den Widerstand (zwischen GND und den Kathoden) nehmen Sie $100\ \Omega$. Die obere lange Buchsenreihe hat alle Kontakte auf GND. Die gelbe Linie „zu M“ führt zu einem der Meßpunkte M1 bis M4 (für Digitalvoltmeter, siehe unten).

Messen Sie für alle Schalterkombinationen die Ausgangsspannung A (also U_a bzgl. Masse GND). Die Ausgangsspannungen sind auch jetzt nicht genau $0\ \text{V}$ oder $5\ \text{V}$ (warum?).

Füllen Sie unter Beachtung der vorhin definierten Spannungsbereiche die Spalte A der folgenden Wahrheitstabelle aus.



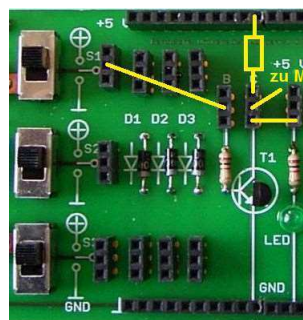
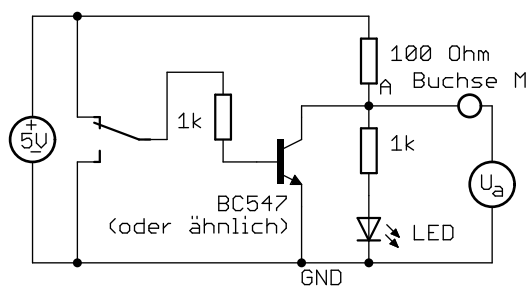
E1	E2	E3	A
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

2.3. NICHT-Verknüpfung

Bauen Sie die unten abgebildete Schaltung auf. Das Bild neben dem Schaltplan zeigt Ihnen, wie Sie diesen mit den Kontaktstiftkabeln (die gelben Linien) und einem Widerstand realisieren können. Für den Widerstand (zwischen $+5\ \text{V}$ und dem Kollektor des Transitors) nehmen Sie $100\ \Omega$. Die anderen beiden Widerstände sind bereits auf dem Board vorhanden. Die gelbe Linie „zu M“ führt zu einem der Meßpunkte M1 bis M4 (für Digitalvoltmeter, siehe unten).

Messen Sie für beide Schalterstellungen die Ausgangsspannung A (also U_a bzgl. Masse GND). Die Ausgangsspannungen sind auch jetzt nicht genau $0\ \text{V}$ oder $5\ \text{V}$ (warum?).

Füllen Sie unter Beachtung der vorhin definierten Spannungsbereiche die Spalte A der folgenden Wahrheitstabelle aus.



E	A
0	
1	

3. Elementare Logikverknüpfungen mit ICs

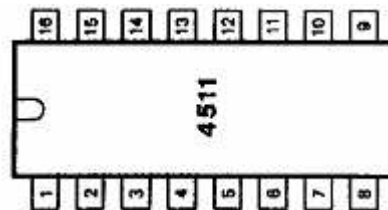
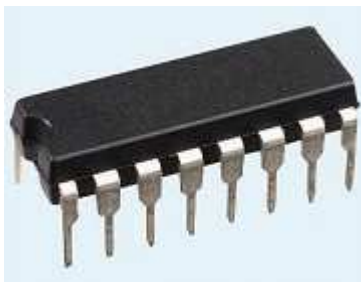
3.1. Allgemeines

Wir wollen nun verschiedene Logikschaltungen mit integrierten Schaltkreisen aufbauen (integrated circuit, IC).

ICs werden heute in vielen verschiedenen Gehäuseformen angeboten. Die kleinsten Gehäuse (z.B. TQFP) haben Anschlüsse im 0,5-mm-Raster (d.h. Anschluß nur 0,25 mm breit, dazwischen 0,25 mm Luft), bei manchen Gehäuse sind die Kontakte sogar auf der Unterseite (BGA, ball grid arrays) und damit von Hand nicht mehr lötbar. Eine mittlere Bauform sind die SO-Gehäuse (SO = small outline) mit 1,27-mm-Raster.

Wir verwenden in unserem Board jedoch die klassischen DIL-Gehäuse (dual in line) mit einem Raster von 2,54 mm (einem Zehntel Zoll). Auf dem Board sind die Ein- und Ausgänge des ICs über verschiedene dreipolige Buchsenreihen erreichbar. Zum besseren Verständnis wollen wir aber vorher kurz mit der Bezeichnung der IC-Anschlüsse beschäftigen.

Beim DIL-Gehäuse sind die Anschlüsse (kurz: Pins) in zwei Reihen an den Längsseiten des Gehäuses.



Alle Pins haben eine Nummer, beim DIL16-Gehäuse mit seinen 16 Pins also von Nr. 1 bis Nr. 16. Für das Durchnummerieren der IC-Pins gibt es eine einfache Regel: **Jedes IC hat an seiner linken Seite eine Kerbe oder links unten einen Punkt (oder eine kleine Delle) im Gehäuse. Dort links unten ist immer Pin 1.** Man zählt jetzt die untere Reihe von links nach rechts durch. Pin 8 ist also unten rechts. Dann geht man nach oben rechts zu Pin 9 und zählt oben von rechts nach links. Oben links ist also Pin 16.

Im Schaltbild liegen die Pins oft in einer anderen Reihenfolge als am Gehäuse, weil man im Schaltplan gern Funktionsgruppen bildet (z.B. alle Eingänge links, alle Ausgänge rechts am IC-Symbol). Daher werden die Pins im Schaltplan in der Regel mit ihrer Nummer bezeichnet. Bei vielen einfachen Digital-ICs ist der Pin rechts unten (z.B. Nr. 8) der Minusanschluß der Versorgungsspannung (Masse, GND, bei manchen ICs auch VSS genannt); der Pin links oben (z.B. Nr. 16) ist der Plusanschluß (oft VCC oder VDD genannt). **Wenn Sie einmal ein IC auswechseln müssen und das neue IC versehentlich gedreht einstecken, vertauschen Sie somit die Versorgungsspannung und zerstören damit sofort das IC!**

Hinweis Widerstandsfarbcodes

Widerstände werden in der Regel mit farbigen Ringen gekennzeichnet. Die Farben bedeuten die Ziffern 0 bis 9.

Für Widerstände mit 4 Ringen gilt dabei:

Die ersten 2 Ringe sind Ziffern (0 bis 9),

der dritte Ring ist der Multiplikator (Anzahl der folgenden Nullen, z.B. rot = 2, also 2 Nullen = $10^2 = 100$),

der 4. Ring ist die Toleranz (z.B. gold = 5 %, silber = 10 %, ohne Ring wäre 20 %).

Ring	schwarz	braun	rot	orange	gelb	grün	blau	violett	grau	weiß	gold	silber
1., 2.	0	1	2	3	4	5	6	7	8	9		
3.	10^0	10^1	10^2	10^3	10^4	10^5	10^6	10^7	10^8	10^9	10^{-1}	10^{-2}
entspr.	x 1	x 10	x 100	x 1 k	x 10 k	x 100 k	x 1 M	x 10 M	x 100 M	x 1 G	x 0,1	x 0,01
4.		1 %	2 %			0,5 %	0,25 %	0,1 %	0,05 %		5 %	10 %

Merkregel (zumindest für 2 bis 7): Farbfolge im Spektrum. Der erste Ring ist nie schwarz (0), gold oder silber.

Beispiele: braun-schwarz-rot-gold = $10 \times 10^2 = 1000 = 1 \text{ k}\Omega$; braun-schwarz-orange-gold = $10 \times 10^3 = 10 \text{ k}\Omega$;

braun-schwarz-gelb-gold = $10 \times 10^4 = 100 \text{ k}\Omega$; alle haben 5 % Toleranz (4. Ring ist gold).

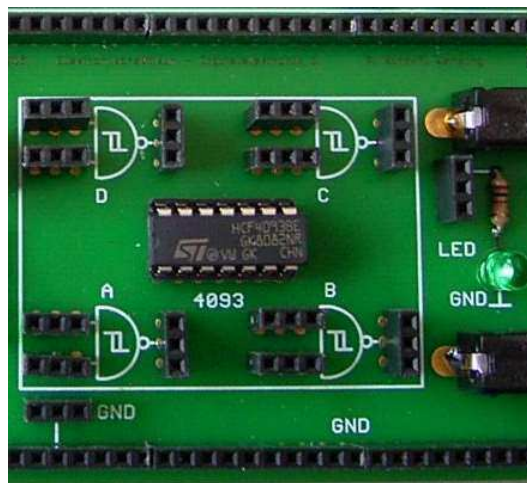
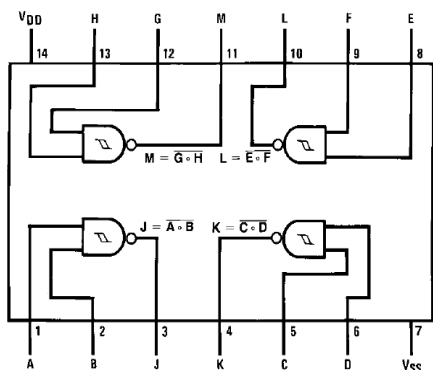
Bei Widerständen mit 5 oder 6 Ringen sind die ersten 3 Ringe Ziffern,

der 4. Ring ist der Multiplikator und der 5. die Toleranz (oft: braun = 1 %),

der 6. Ring ist der Temperaturkoeffizient (oft rot = 50 ppm/K).

3.2. Vierfach NAND-Gatter-IC 4093

Wir wollen nun einige Logikverknüpfungen aufbauen. Dazu verwenden wir den Baustein 4093, der vier NAND-Gatter mit je zwei Eingängen enthält. Das IC hat 14 Pins, die wie folgt beschaltet sind (Bild links). Auf dem Board sind alle vier Gatter über dreipolige Buchsenreihen erreichbar (Bild rechts).



3.3. NICHT-UND-Verknüpfung (NAND)

Bauen Sie die folgende Schaltung auf.

Die LED und deren Vorwiderstand sind bereits auf dem Board.

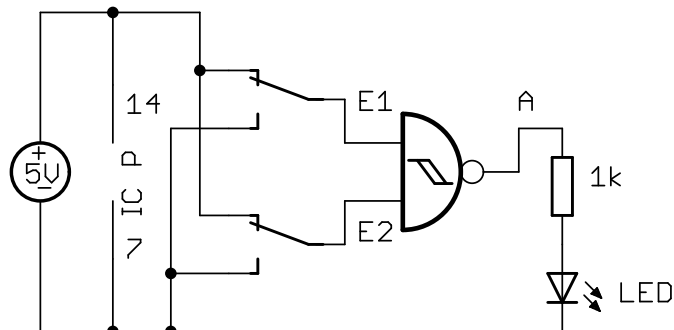
Das Symbol „5 V“ ganz links in diesem und den folgenden Schaltplänen soll den 5-Volt-Spannungsregler auf dem Board darstellen, der auch die ICs versorgt. Das Symbol „IC P“ (IC-Power) rechts daneben stellt die Verbindung der IC-Pins 7 und 14 zu dieser Versorgungsspannung dar. Diese Verbindung ist bereits auf dem Board vorhanden. Das IC wird also automatisch mit 5 Volt versorgt, sobald Sie an die rote und schwarze Buchse (links unten auf dem Board) ein Netzteil mit 9 Volt anschließen. Sie brauchen keine separate 5-Volt-Spannungsquelle!

Sie können jedes der vier Gatter gleichwertig verwenden.

Das Zeichen in der Mitte des Gattersymbols weist auf einen sogenannten Schmitt-Trigger hin, das ist ein Schaltkreis, der für saubere Umschaltsschwellen am Eingang sorgt. Wir werden ihn später noch erklären, vorerst ist das für Sie ohne Bedeutung.

Beobachten Sie mit der LED für alle 4 Schalterkombinationen die Ausgangsspannung A und füllen Sie die Spalte A der folgenden Wahrheitstabelle aus. Zur Erinnerung: Hohe Spannung (5 V, LED an) ist logisch 1, niedrige Spannung (0 V, LED aus) ist logisch 0.

Messen Sie in diesem Versuchsteil die Ausgangsspannungen auch mit dem Digitalvoltmeter. Ändern sie sich, wenn die LED nicht angeschlossen ist?



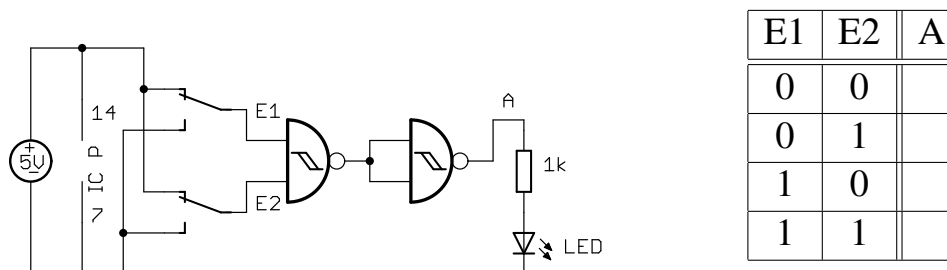
E1	E2	A
0	0	
0	1	
1	0	
1	1	

3.4. UND-Verknüpfung (AND)

Wir können mit unseren NAND-Gattern ein AND-Gatter bauen, wenn wir den Ausgang des NAND über einen Inverter führen. Den Inverter bauen wir uns aus einem zweiten NAND-Gatter, dessen beiden Eingänge einfach zusammengeschaltet werden.

Sie können jedes der vier Gatter gleichwertig verwenden.

Beobachten Sie mit der LED für alle 4 Schalterkombinationen die Ausgangsspannung A und füllen Sie die Spalte A der folgenden Wahrheitstabelle aus.

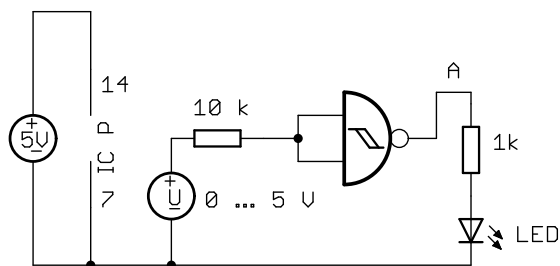


3.5. Inverter und Schmitt-Trigger

Den Inverter haben Sie bereits in den vorherigen Schaltungen verwendet. Wir wollen ihn jedoch besonders betrachten, um dabei die Wirkungsweise des eingebauten Schmitt-Triggers zu verstehen.

Als Eingangssignal verwenden Sie daher kein Digitalsignal eines Schalters, sondern eine einstellbare Gleichspannung, die Sie z.B. über die Buchse M1 zuführen. Die Versorgungsspannung des ICs bleibt aber wie bisher bei festen 5 V.

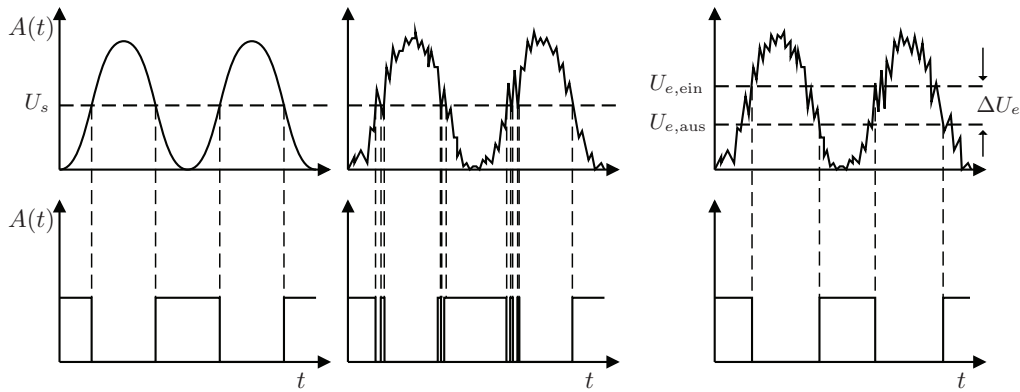
Bauen Sie auf die folgende Schaltung auf. Achten Sie auf den Eingangswiderstand (10 k Ω , ein separater Widerstand, den Sie zwischen Buchse M1 und den Gattereingang stecken). Er schützt das IC, denn falls die Eingangsspannung größer als die Versorgungsspannung oder negativ wird, beginnt eine Schutzschaltung im IC zu leiten. Zu hohe Ströme würden das IC zerstören.



Stellen Sie zunächst eine Eingangsspannung von 0 V ein. Wegen der Inverterfunktion leuchtet die LED. Vergrößern Sie dann langsam die Eingangsspannung und messen Sie mit dem Digitalvoltmeter, bei welcher Eingangsspannung der Ausgang auf 0 geht (LED geht aus). Danach reduzieren Sie langsam die Eingangsspannung und messen, wann der Ausgang wieder auf 1 geht.

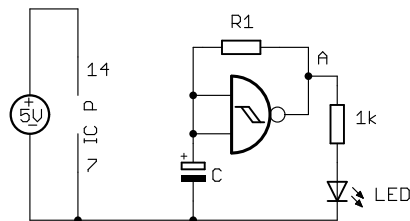
Die Schaltschwellen liegen offenbar auseinander. Dieses Phänomen, das auch als Hysterese bezeichnet wird, haben Sie schon beim Versuch EP7 mit den Reglerschaltungen kennengelernt, als der Opamp positiv zurückgekoppelt wurde.

Durch die getrennten Schaltschwellen hilft der Schmitt-Trigger, unsaubere (verrauschte) Eingangssignale für digitale Schaltkreise zu bearbeiten: Ein kleines Rauschsignal führt nicht mehr zum „Flattern“ des Ausgangssignals, denn sobald die Eingangsspannung eine bestimmte Schwelle überschritten hat und der Schmitt-Trigger umgeschaltet hat, muß die Eingangsspannung eine deutlich tiefere Schwelle unterschreiten, um den Schmitt-Trigger zurückzuschalten. Nach diesem Zurückschalten muß erst wieder die höhere Schwelle erreicht werden, um erneut umzuschalten.



Hat ein Schmitt-Trigger einen Inverterausgang wie bei unserem IC 4093, so kann man damit sehr leicht einen **Rechteckgenerator** bauen. Bauen Sie die folgende Schaltung auf (am besten mit Gatter A, denn dort ist noch eine zusätzliche 3polige Buchsenreihe für GND). Wählen Sie zunächst $R1 = 100\text{ k}\Omega$ und $C = 10\text{ }\mu\text{F}$ (**Beachten Sie bei den Elektrolytkondensatoren (kurz: Elko) die Polarität⁶! Der Minuspol ist mit einem weißen Minussymbol markiert**).

Wieso blinkt die LED?



Verkleinern Sie $R1$ und C . Falls Sie kein Blinken oder Flackern mehr sehen können, messen Sie die Frequenz des Ausgangssignals mit dem Oszilloskop. Bis zu welcher Frequenz können Sie den Oszillator schwingen lassen? Tip: Machen Sie $R1$ nicht kleiner als $1\text{ k}\Omega$, reduzieren Sie eher den Wert von C . Bei $C = 0$, d.h. ohne Kondensator, messen Sie eine sehr hohe Frequenz. Jetzt ist nur noch die (parasitäre) Kapazität⁷ des IC-Eingangs wirksam.

Sollten Sie mit der Beschriftung der Bauelemente nicht klar kommen, können Sie auch Kapazitäten mit den „blauen“ Multimetern nachmessen.

Das Blinken ist asymmetrisch: die Pause ist deutlich kürzer als die Zeit, bei der die LED leuchtet. Das hat damit zu tun, daß die Ausgangsspannung mit LED kleiner ist. Das Aufladen bis zur Umschaltsschwelle dauert daher deutlich länger als das Entladen. Besser ist es, den Oszillatorausgang (A) nicht unnötig zu belasten, sondern ihn mit den (zusammengeschalteten) Eingängen eines weiteren Gatters zu verbinden (die belasten den Ausgang nicht) und die LED an den Ausgang dieses zusätzlichen Gatters anzuschließen. Die resultierende Invertierung des Signals ist für unseren Versuch ohne Bedeutung. Probieren Sie es aus!

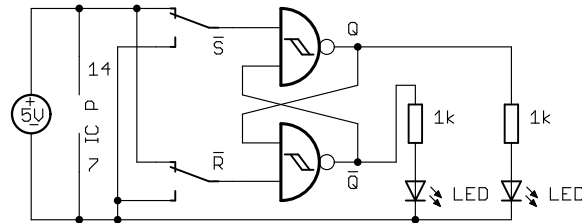
⁶Ein verkehrt gepolter Elko kann beschädigt werden, außerdem fließt dann ein deutlicher Leckstrom, d.h. der Elko lädt sich bei einem großen Ladewiderstand niemals richtig auf.

⁷Das Datenblatt nennt etwa 5 pF . Hinzu kommt aber noch eine Durchlaufverzögerung von Ein- zum Ausgang des Gatters, die bei 5-Volt-Versorgung etwa 200 bis 400 ns beträgt.

4. Realisierung von Speicherbausteinen: Das RS-Flipflop

Mit zwei NAND-Gattern läßt sich ein Speicherelement bauen. Es wird als bistabiles Kippglied bezeichnet oder wegen seiner Eingänge R (reset, rücksetzen) und S (set, setzen) als RS-Flipflop.

Bauen Sie die folgende Schaltung auf. Für die LEDs nehmen Sie die beiden links und rechts neben dem Gatterbaustein. Beide Schalter sollen zu Beginn oben sein (mit +5 V verbunden, d.h. beide Eingänge sind am Anfang auf 1). Schalten Sie dann abwechselnd entweder nur den einen Schalter R oder den anderen Schalter S nach unten (0 V, GND, also logisch 0). Achten Sie darauf, daß nicht beide Schalter gleichzeitig an GND sind.



Sie sehen, daß sich die Schaltung merkt (speichert), wenn ein kurzer Impuls am \bar{R} bzw. \bar{S} -Eingang war.

Beachten Sie: hier wird durch eine kurze 0 (und nicht durch eine 1) gesetzt bzw. zurückgesetzt. Deshalb sind die Eingänge an den Gattern auch mit \bar{R} und \bar{S} bezeichnet (R-nicht oder R-quer bzw. S-nicht oder S-quer), also invertiert.

Zum Verständnis der Arbeitsweise betrachten Sie in der folgenden Tabelle für die verschiedenen Zustände \bar{R} und \bar{S} an den Gattereingängen die Ausgänge Q und \bar{Q} (gesprochen: „Q nicht“). Aufeinanderfolgende Zeilen bedeuten wieder zeitlich aufeinanderfolgende Zustände. Tragen Sie Zeile für Zeile die Werte für Q und \bar{Q} ein und beachten Sie, daß die Ausgänge Q und \bar{Q} auf die zweiten Eingänge der NANDs zurückgekoppelt werden.

\bar{R}	\bar{S}	Q	\bar{Q}
1	1	0	1
1	0		
1	1		
0	1		
1	1		
1	0		
1	1		

Man kann mit dieser Schaltung keine kurzen 1-Impulse abzuspeichern. Probieren Sie es aus, indem Sie beide Schalter an GND legen (also beide Eingänge auf logisch 0) und dann abwechselnd einen Schalter kurz an +5 V legen. Was sehen Sie an beiden Ausgängen?

Wie könnte man die Schaltung zum Speichern von 1-Impulsen ändern? Tip: Sie müßten die Eingangssignale invertieren. In Ihrem IC sind noch zwei unbenutzte NAND-Gatter. Zeichnen Sie den entsprechenden Schaltplan.

5. Zähler und Siebensegmentanzeige

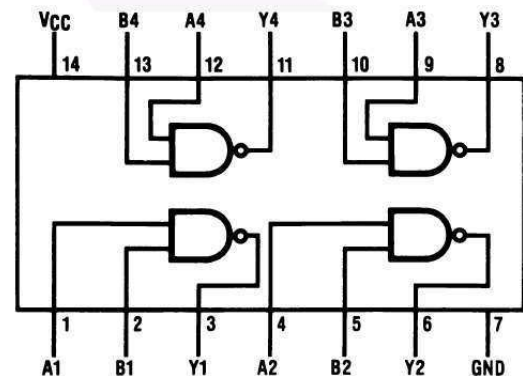
Dieser Versuchsteil findet wird ab sofort ausschließlich mit den programmierbaren Logikbausteinen im Versuch EP9 durchgeführt und wurde daher in diesem Skript gestrichen.

6. Stromaufnahme von CMOS-ICs

Integrierte Schaltungen in CMOS-Technologie haben in der Regel eine sehr geringe Stromaufnahme. Es gibt aber Situationen, in denen die Stromaufnahme deutlich höher ist. Wir wollen das im letzten Versuchsteil genauer untersuchen. Dazu befindet sich an der linken oberen Ecke unseres Boards ein Bereich mit dem IC 74HC00. Das IC enthält 4 NAND-Gatter, von denen eines an Buchsenreihen zugänglich ist.



Board



Pinbelegung des 74HC00

6.1. Schaltung zur Strommessung: a) Normale Logik-Eingangsspiegel

Zur Messung der Stromaufnahme müssen wir ein Amperemeter in die Versorgungsleitung des ICs einfügen. Dazu ist Pin 14 (Pluspol der Versorgung, VCC) auf eine Buchsenleiste geführt. Von dort schalten Sie über ein Kabel die Verbindung zum Anschluß M4 in der Ecke links oben, wo ein Bananenkabel angeschlossen werden kann.

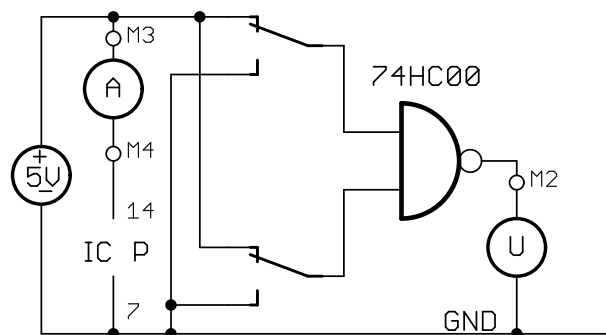
Das IC wird mit 5 Volt versorgt (5-V-Symbol links im Schaltplan), die aus dem 5-Volt-Spannungsregler (Board links unten) stammen, der vom Netzgerät (9 V) versorgt wird. **Schließen Sie keinesfalls die 9 Volt vom Netzgerät am IC an, das IC verträgt allerhöchstens 7 Volt!** Die 5 Volt können Sie in der Ecke rechts oben an die Buchse M3 legen.

Zwischen M3 und M4 schalten Sie das Amperemeter. Stellen Sie den empfindlichsten Bereich ein, denn die Ströme liegen normalerweise im Mikroamperebereich.

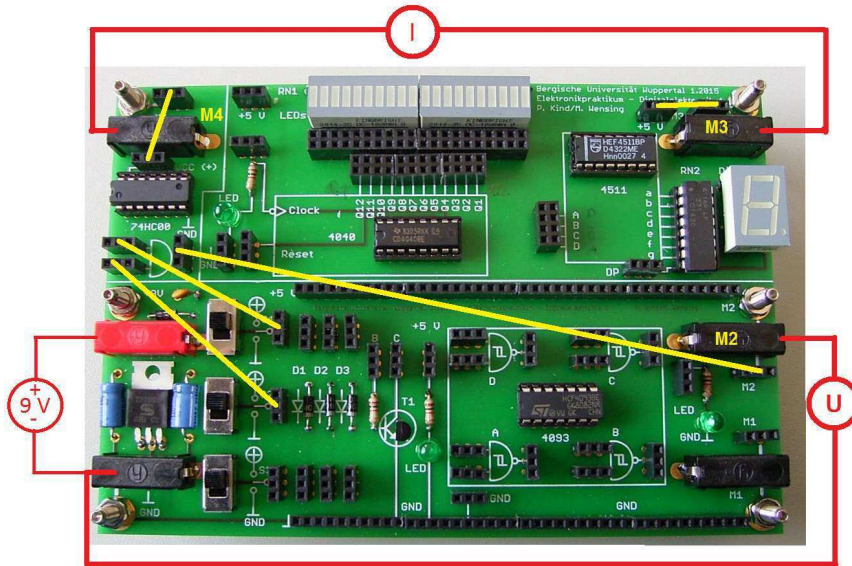
Verbinden Sie zunächst die beiden Gattereingänge mit zwei Schaltern.

Schalten Sie ein Voltmeter zwischen den Gatterausgang (z.B. über Bananenbuchse M2) und GND.

Messen Sie die Stromaufnahme und die Ausgangsspannung für alle 4 Schalterkombinationen. Beachten Sie dabei, daß auch das Digitalvoltmeter (Innenwiderstand 10 MΩ) Strom aus dem IC verbraucht, den Sie mitmessen! (Die Stromaufnahme des ICs selbst ist möglicherweise deutlich unter 0,1 μA!)



Auf dem Board würde diese Schaltung folgendermaßen verdrahtet werden.



6.2. Schaltung zur Strommessung: b) Beliebige Eingangspegel

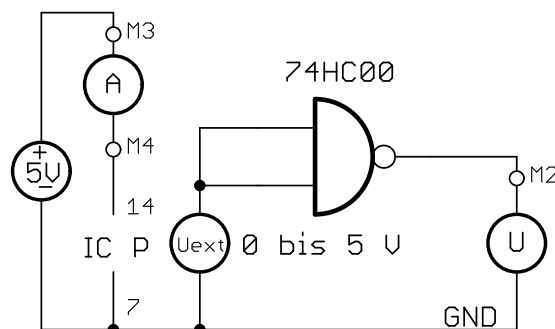
Geben Sie nun „beliebige“ Spannungswerte (im Bild unten U_{ext}) an die Gattereingänge. Die übrige Schaltung bleibt gleich. Dazu verwenden Sie einen einstellbaren Ausgang Ihrer Spannungsquelle, **allerdings unter folgenden Bedingungen**:

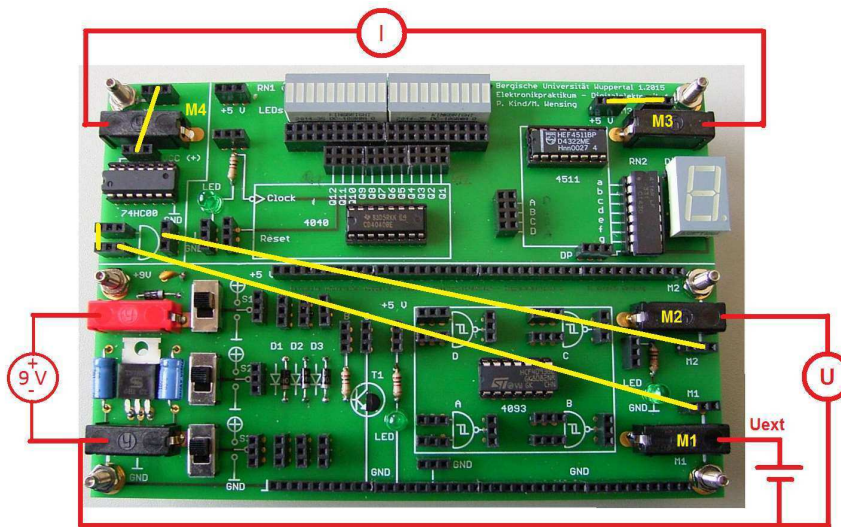
- **Die maximale Stromstärke wird auf 10 mA begrenzt!**
 - Stellen Sie für den einstellbaren Ausgang zunächst eine Spannung von etwa 0,2 Volt ein,
 - schalten Sie dann auf Stromanzeige (Taste neben der Spannungsanzeige drücken),
 - schließen Sie den Spannungsausgang vorübergehend kurz und regeln Sie dabei mit dem Knopf *Current* den Kurzschlußstrom auf unter 10 mA ein. Die rote Lampe an der Spannungsquelle leuchtet bei Strombegrenzung auf.
 - Entfernen Sie den Kurzschluß wieder.
 - Schalten Sie dann zurück auf Spannungsanzeige (Taste neben der Anzeige nochmals drücken),
- **Die Eingangsspannung darf 5,3 Volt nicht überschreiten!**
- **Die Eingangsspannung darf niemals negativ sein!**

Werden diese Bedingungen nicht beachtet, kann das IC zerstört werden!

Die regelbare Spannungsquelle U_{ext} können Sie wie unten dargestellt über die Bananenbuchse M1 zuführen.

Messen Sie die Stromaufnahme und die Ausgangsspannung für verschiedene Eingangsspannungen zwischen 0 V und 5 V. Bei welcher Eingangsspannung wird die Stromaufnahme des ICs (die Sie ja mit dem Amperemeter messen) besonders hoch? In welchen Spannungsbereichen wird die Stromaufnahme des ICs praktisch Null?





6.3. Schaltung zur Strommessung: c) Unterschiedliche Frequenzen

Ersetzen Sie nun die einstellbare Spannungsquelle U_{ext} durch einen Rechteckgenerator mit einstellbarer Frequenz. Dazu verwenden Sie die Buchse **TRIG. OUTP. (TTL)** des Funktionsgenerators, denn diese liefert immer ein Rechtecksignal mit Spannungspegel 0 oder 5,0 V. **Verwenden Sie NICHT den normalen Ausgang (50 Ω OUTP.), denn dieser liefert in der Regel auch negative Spannungen, die zudem viel zu groß sein könnten, wodurch das IC zerstört würde!**

An M2 schließen Sie anstelle des Voltmeters das Oszilloskop an. Die übrige Schaltung bleibt gleich.

Messen Sie für die folgenden Frequenzen die Stromaufnahme des ICs und beobachten Sie das Oszillogramm:

1 Hz, 10 Hz, 100 Hz, 1 kHz, 10 kHz, 100 kHz, 1 MHz. (Bei 10 MHz ist das Signal kein Rechtecksignal, das ist nahe der Grenzfrequenz des Funktionsgenerators.)

Stellen Sie die Stromaufnahme als Funktion der Frequenz dar (am besten doppellogarithmische Skala). Was fällt auf?

